

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 12 月 23 日 (23.12.2004)

PCT

(10) 国際公開番号
WO 2004/112138 A1

(51) 国際特許分類⁷: H01L 27/04, 21/3205, 21/768

(21) 国際出願番号: PCT/JP2004/008450

(22) 国際出願日: 2004 年 6 月 16 日 (16.06.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2003-170267 2003 年 6 月 16 日 (16.06.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 林 喜宏 (HAYASHI, Yoshihiro) [JP/JP]; 〒1088001 東京都港区

芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
井上 尚也 (INOUE, Naoya) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
脇岡 健一郎 (HIJIOKA, Kenichiro) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).

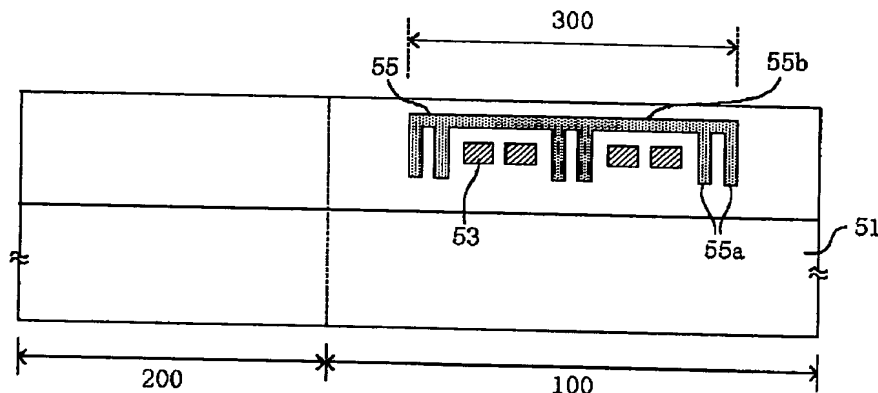
(74) 代理人: 稲垣 清, 外 (INAGAKI, Kiyoshi et al.); 〒1010042 東京都千代田区神田東松下町 3 7 林道ビル 5 階 扶桑特許事務所内 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体デバイスおよびその製造方法



55a ロッド部

55b プレーン部

55a...ROD PORTION

55b...PLANE PORTION

(57) Abstract: [PROBLEMS] The present invention aims to mount a digital circuit and an RF circuit in which an inductor is formed on a same chip. [MEANS FOR SOLVING PROBLEMS] A MOSFET (3) is formed in a region on a silicon substrate (1) which region is isolated by a device isolation film (2). A plurality of low dielectric constant insulator rods (8), in which a low dielectric constant insulating material is respectively buried, are arranged in an RF circuit region (100). The low dielectric constant insulator rods (8) reach the inside of the silicon substrate (1) by penetrating through a first interlayer insulating film (4). An inductor (40) utilizing the multilayer wiring is formed in the interlayer insulating film on the RF circuit region (100). In the magnetic core of the inductor and a region around the core, there is formed a high magnetic permeability isolation region (19) in which a composite material obtained by mixing a high magnetic permeability material and a low dielectric constant material is buried.

[続葉有]



- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

- (57) 要約: 【課題】 インダクタが形成されたRF回路とデジタル回路とを同一チップ上に搭載できるようにする。
【解決手段】 シリコン基板1上の素子分離膜2によって分離された領域内にMOSFET3が形成されている。RF回路領域100には、第1の層間絶縁膜4を貫いてシリコン基板内部に到達する、低誘電率絶縁物が埋設された低誘電率絶縁体ロッド8が複数配置されている。RF回路領域100上の層間絶縁膜内には多層配線を利用したインダクタ40が形成されている。インダクタの磁心及びその周囲には、高透磁率材料と低誘電率材料とが混合された複合材料が埋め込まれた高透磁率分離領域19が形成されている。